

521 EI 112

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP

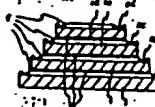
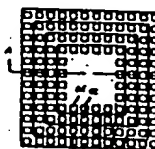
(21) Appl. No. 55-105911 (22) 31.7.1980

(71) FUJITSU K.K. (72) JIYUNJI SAKURAI

(51) Int. Cl. H01L23/48, H01L21/58

PURPOSE: To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

CONSTITUTION: IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chips is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl. 識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)2月19日

H 01 L 23/48

6819-5F

昭和57年5月21日

6679-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭55-105911

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980)7月31日

川崎市中原区上小田中1015番地

⑱ 発 明 者 桜井潤治

⑲ 代 理 人 弁理士 松岡宏四郎

特許庁の通知

特許庁の通知

特許庁の通知

特許庁の通知

特許庁の通知

本発明は第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半導体装置の構造に関する。電子計測装置等は各種通信装置等の電子機器に於ては、半導体装置の集積密度を向上せしめることが装置の小型化大容量化を促る上で極めて重要なことである。

七して上記目的のために大規模集積回路 (LSI) 等の半導体集積回路 (IC) に於て、パッケージの素子集積密度を向上せしめる材料として、(1) 複数のLSIチップを1(個)の半導体パッケージ内に列設する構造、(2) 1(チップ)の表面に半導体素子を形成する構造、(3) LSIチップを搭載した半導体パッケージを積み重ねる構造、(4) LSI上に形成した絶縁層上に半導体層を形成しレーザ・アニールで該半導体層を単結晶化し、該単結晶半導体層にLSIを形成する構造 (日特エレクトロニクス2-18(1980)P82番) 等があるが、(1)~(3)の構造に於てはチップ及び装置に対する集積密度の大幅な向上は期待できず、

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子が集積されてなる素子層が多数に形成され、各層に外部との導電パッドが設けられ、前記多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが隆起状に多層に設けられ、対応する層の前記導電パッドと内部パッドとが互に導電性を介して接続されてなることを特徴とする半導体装置。

(2) 前記外部導電体がボンディングワイヤーであることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記導電パッドの一部分の形状と前記内部パッドの一部分の形状とが相対するよう形成され、前記多層半導体集積回路チップをパッケージ内に封入した半導体装置において、前記外部導電体として前記パッドを介して接続されてなることを特徴とする特許請求の範囲第1項記載の半導体装置。

以下本発明を第1図及び第2図に示すチップ状積層構造に於ける二つの実施例の上面図(a)及びA-A'矢視断面図(b)、第3図及び第4図に示すパッケージへのチップ状積層構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各素子集積層としての半導体ICチップは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用パッドであるボンディング・パッド部のみを残して上面が保護膜ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ボンディング・パッド部にはバンプ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICチップの積層構造に於ては、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4(辺)に亘る同層部に導通所望数のボンディング・パ

第2図(a)及び(b)は同じチップ・サイズの半導体ICチップを積層する際の構造を異なる別の実施例で、この場合は各層半導体ICチップ例えば1a、1b、1c及び1dのボンディング・パッド2a、2b、2c及び2dは該チップに於ける隅り合った2(辺)に亘る部分のみ形成される。そしてチップを積層する際に用いる接着層3としては前記同様な絶縁性樹脂、導電性接着剤或いはろう材が使用される。(図中9は表面保護絶縁膜を被覆す)

本実施例の半導体装置は上記のような多層半導体集積回路チップを半導体パッケージ内に配設した構造を有しており、その一実施例に於ては第3図の断面模式図に示すように、半導体パッケージ4のチップ・ステージ5上に前記のように半導体ICチップ1a、1b、1c及び1dが順次積層された多層半導体集積回路チップが、前記同様な絶縁性樹脂、導電性接着剤或いはろう材等からなる接着層3により固着されており、上記チップの所望のボンディング・パッド(通常は絶縁のボン

又(a)の構造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チップを積層し、パッケージ寸法の拡大することとを併力し、且つパッケージ当りのICの集積度を大幅に向上せしめ、更にICチップ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集積回路チップをパッケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが所設状に多層に設けられ、対応する層の前記導通パッドと内部パッドとが外部導体を介して接続されてなることを特徴とする。

パッド2a、2b、2c或るいは2dが形成されており、各層チップの大きさは、上層のチップを被せた際に下層チップのボンディング・パッドが上層チップの周辺部(外側)に突出するように、上層チップになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を被覆す)

そしてこれら半導体ICチップを積層固着する際の接着層3はシリコン樹脂、エポキシ樹脂或いはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-鉛(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着を行う際には下層の半導体ICチップの表面保護絶縁膜9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて接着する構造に於ては、下層チップの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層チップの所望の領域と縦方向に電気的接続を行う際に有利である。

多層半導体装置に於ける一実施例の断面模式図

て、本実施例に於てはボンディング・パッド2a、2b、2c部に鉛-錫(Pb-Sn)半田等からなるパンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

なお該構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてなっているため、

すし一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機或いは電子通信装置等の電子機器の小量化、大容量化が図れる。

4. 図面の簡単な説明

第1図及び第2図は本発明の多層半導体装置回路に於けるチップ積層構造の二つの実施例を示し(a)はその上面図、(b)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

図に於て1aと1bと1cと1dは素子無層である半導体無層回路チップ、2aと2bと2cと2dはボンディング・パッド、3は積層層、4は半導体パッケージ、5はチップ・スタンプ、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはパンプ電極

チップ1a、1b、1c及び2cと2bと2aとの間に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

として本実施例に於ては最上層のチップ1dの所定のボンディング・パッド2dとその下層のチップ1cの所定のボンディング・パッド2cとはワイヤ・ボンディングにより外部導体7'で接続された構造を有しており、各チップに形成された回路を共通の電極に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パッケージ4の内部パッド6a、6b及び6cはそれぞれ対応する多層半導体装置回路チップ1a、1b及び1cのボンディング・パッド2a、2b或いは2cとほぼ等しい高さに形成されることが望ましい。

又第4図は多層半導体装置回路チップをフェース・ダウン構造で半導体パッケージに搭載する本

発明の多層半導体装置回路チップの積層固定されるチップ1a、1b、1c及び2cと2bと2aとの間に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

なお該構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてなっているため、すし一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

TE) 00118-720000

田舎用新刊第4号
9は表面保護膜の最厚を示す。

6は厚さの異なる部分を示す。

7は厚さの異なる部分を示す。

8は厚さの異なる部分を示す。

9は厚さの異なる部分を示す。

10は厚さの異なる部分を示す。

11は厚さの異なる部分を示す。

12は厚さの異なる部分を示す。

13は厚さの異なる部分を示す。

14は厚さの異なる部分を示す。

15は厚さの異なる部分を示す。

16は厚さの異なる部分を示す。

17は厚さの異なる部分を示す。

18は厚さの異なる部分を示す。

19は厚さの異なる部分を示す。

20は厚さの異なる部分を示す。

21は厚さの異なる部分を示す。

22は厚さの異なる部分を示す。

23は厚さの異なる部分を示す。

24は厚さの異なる部分を示す。

25は厚さの異なる部分を示す。

26は厚さの異なる部分を示す。

27は厚さの異なる部分を示す。

28は厚さの異なる部分を示す。

29は厚さの異なる部分を示す。

30は厚さの異なる部分を示す。

31は厚さの異なる部分を示す。

32は厚さの異なる部分を示す。

33は厚さの異なる部分を示す。

34は厚さの異なる部分を示す。

35は厚さの異なる部分を示す。

36は厚さの異なる部分を示す。

37は厚さの異なる部分を示す。

38は厚さの異なる部分を示す。

39は厚さの異なる部分を示す。

40は厚さの異なる部分を示す。

41は厚さの異なる部分を示す。

42は厚さの異なる部分を示す。

43は厚さの異なる部分を示す。

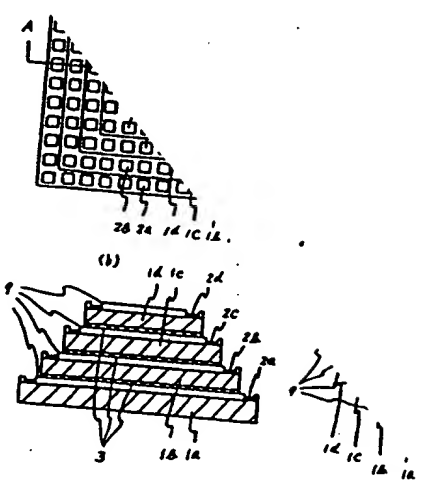
44は厚さの異なる部分を示す。

45は厚さの異なる部分を示す。

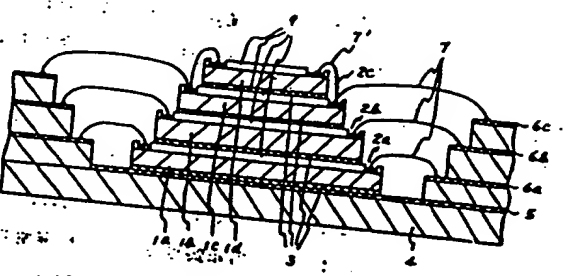
46は厚さの異なる部分を示す。

47は厚さの異なる部分を示す。

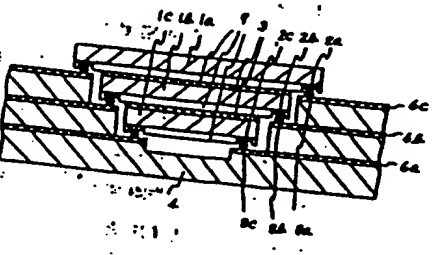
48は厚さの異なる部分を示す。



第 3 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.